This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images,
Please do not report the images to the
Image Problem Mailbox.

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

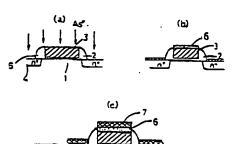
(11) 2-87531 (A) (43) 28.3.1990 (19) JP

(21) Appl. No. 63-238388 (22) 22.9.1988

(71) SHARP CORP (72) SHIGEO ONISHI(1) (51) Int. Cl⁰. H01L21/336,H01L21/28,H01L29/784

PURPOSE: To make a CoSi, film smaller than the junction depth of a source-drain part, and prevent the generation of leak current in a junction layer by a method wherein, after a gate part and the source-drain part are formed, a CoSi film is formed by transforming each of the parts into silicide, and W is deposited on each part via the CoSi, film.

CONSTITUTION: On an Si substrate 1, a gate part 3 composed of N⁺ type polysilicon is formed; by implanting As⁺ on the Si substrate 1, an N⁺ type source drain part 4 is formed; Co is deposited on the substrate 1; by heat treatment, the gate electrode 3 and the source drain part 4 are transformed into silicide: not-yet reacted Co of a side-wall part 5 in the gate part 3 is eliminated, and a CoSi₂ film 5 of 200-300 Å thick is formed. The depth of the source drain part 4 is about 0, 15-0.2 \(\mu\)n. In conventional arts, a wiring layer is formed only by a silicide film of CoSi₂, so that the film thickness is required to be 1500-2000 Å or more. By the effect of silicide, the generation of leak current in the junction layer can be avoided.



(54) FIELD-EFFECT TRANSISTOR

(11) 2-87532 (A) (43) 28.3.1990 (19) J

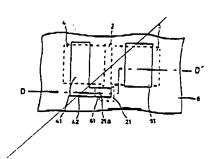
(21) Appl. No. 63-238562 (22) 22.9.1988

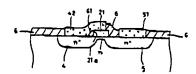
(71) FUJITSU LTD (72) HIDEKI KANAI

(51) Int. Cl^e. H01L21/338,H01L21/90,H01L29/812

PURPOSE: To decrease the width of an ohmic electrode, and increase the degree of integration by forming a side-wall composed of an insulator layer or the sidewall of a gate electrode pad, and connecting a wiring with the gate electrode pad, which wiring is composed of ohmic electrode material and connects the ohmic electrode of a source or a drain and the gate electrode pad.

CONSTITUTION: On a sidewall 21a of the side facing a source 4 or a drain 5 to be connected with a gate electrode pad 21 of a gate electrode 2, a sidewall 61 composed of insulator is formed, and a wiring 42 connecting the gate electrode pad 21 and an ohmic electrode 41 or 51 so as to cross over the sidewall 61 is formed. As a result, three kinds of material, i.e., the gate electrode pad 21, material of the wiring 42 and gallium arsenide of a substrate 1 do not come into contact on one point, so that abnormal alloy reaction is not caused, and the wiring 42 is not broken. Further, it is not necessary to form a contact hole for wiring in the ohmic electrode 41 or 51, so that the width of the ohmic electrode 41 or 51 can be made smaller than ones according to conventional arts, and the integration degree can be improved.





(54) SEMICONDUCTOR DEVICE

(11) 2-87533 (A) (43) 28.3.1990 (19) JP

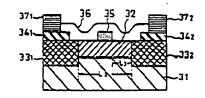
(21) Appl. No. 63-239327 (22) 24.9.1988

(71) TOSHIBA CORP (72) MASANORI OCHI

(51) Int. Cl3. H01L21/338, H01L29/812

PURPOSE: To restrain the influence of a surface depletion layer, and obtain a field-effect type semiconductor device with a breakdown strength large enough for practical use by providing a semi-insulating substrate with an operating layer of one conductivity type, source-drain layers, a gate electrode and source-drain electrodes, and limitting the distance between source-drain layers and the distance between a gate electrode and a drain layer.

CONSTITUTION: An N-type operating layer 32 is formed on a semi-insulating GaAs substrate 31 by implanting Si cations by means of an ion implanting apparatus. Low resistance layers 33, 33, for ohmic electrode, i.e., source-drain layers are formed so as to surround the operating layer from both sides. Ohmic electrodes 34, 34, composed of e.g., AuGe, that is, source-drain electrodes are formed on the upper part on the low resistance layers 33, 33, After that, an SiO, film 36 as a protective film is deposited, and pad electrodes 37, 37, are vapor-deposited on the upper part of the ohmic electrodes 34, 342, respectively. The distance L₁ between the source and the drain is made longer than or equal to 1.0 µm and shorter than 2.0 µm. The distance L₁ between the gate and the drain is made longer than equal to 0.5 µm and shorter than 1.0 µm. Thereby field-effect type semiconductor device excellent in both characteristics and reliability can be obtained.



⑩日本国特許庁(JP)

(1) 特許出頭公開

母 公 開 特 許 公 報 (A) 平2-87531

Dint. Cl. 3

数别配号

庁内整理番号

❸公開 平成2年(1990)3月28日

H 01 L 21/336 21/28 29/784

301 S

7738-5F

8422-5F H 01 L 29/78

301 P

審査請求 未請求 請求項の数 1 (全4頁)

公発明の名称 半導体装置の製造方法

須特 顧 昭3-238388

②出 顧 昭63(1988)9月22日

加発明者 大西

茂 夫

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社

内

恵三

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社

内

②出 願 人 シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

個代 理 人 弁理士 野河 信太郎

明細毒

1. 発明の名称

半導体装置の製造方法

2. 特許請求の証囲

3. 発明の詳細な説明

(イ) 建設上の利用分野

この発明は単導体装置の製造方法に関し、更に

詳しくはMOS型デバイスの微細化にともないトランジスタの配線部を高融点金属を用いて低低坑化して低低坑ゲート部、ソース・ドレイン部を作成するための方法に関する。

(ロ)従来の技術

従来のこの種方法としては、(i)Co、Ti等の高融点金属のシリサイド積を形成したものと、
(ii)Wを用いてそれを選択成長法によってソース・ドレイン部、ゲート部へ張り付けるようにしたものとが投資されている。

前者の方法を第4回に示す。

第4回において、Si裏板21上にSiO1段
22を介してn°-polySiからなるゲート電腦
23を形成し『第4回(a)参照』、Si裏板21上
にAs*の注入によりソース・ドレイン24を形成
する[第4回(b)参照]。次に、基板21上に
Co(あるいはTi)25を機暦し【第4回(c)参
照】、その後、無処理をおこなってゲート電腦
23、ソース・ドレイン24をシリサイド化して
CoSi(あるいはTiSi)からなるシリサイド

職28を形成するとともに、その後の選択エッチングによりサイドウォール形27の未反応 Coを 終立して配線部を形成する[第4回(d)参照]。

このようにしてCo(あるいはTi)のシリサイド化によりサリサイド構造のトランジスタを作成してゲート電腦23、ソース・ドレイン24の低低抗化が実現できる。

これに対して後者の方法では、第3図(a)に示すように、ゲート電塩23を作成し、ソース・ドレイン24を作成[第3図(b)参照]した後、CVD法によりゲート電塩23、ソース・ドレイン24上に選択的にW槙28を堆積する[第3図(c)参照]ものである。

(ハ) 発明が解決しようとする課題

しかし前者の方法では、デバイスの高速化を実 現するのにシート抵抗が 1 Ω / 口以下にする必要 があるが、CoSi。(あるいはTiSi。等)の低低 抗シリサイド(比低抗……15μΩ·cm)を用いても、 1500~2000人以上のシリサイド腹厚が必要になる。 サブミクロンデバイスに於いては、ソース・ドレ

を有するコパルトシリサイド親(CoSit複)を 形成し、その後選択エッチングによりゲート部の サイドウォール部分の未反応Coを除去し、さら にソース・ドレイン部、ゲート部上にCoSit を介して選択成長により高融点金属のWを後層し で無的に安定な低低抗ゲート部、ソース・ドレイ ン部を形成することよりなる半導体装置の製造方 法である。

すなわち、この発明は、Netal/Netal Silicide /Siの三層構造を有するものであるが、一般に高 融点全属のシリサイド膜中はSiが主な拡散機に なる為に、無処理を行うと上層部のメタルがシリ サイド化される。

しかしCoSiaの場合、Coが主な拡放性であり、Siは拡放しにくい。それ故Coよりシリサイド化しにくい金属であるWを上層邸に持ってくると無処理を行ってもWのシリサイド化が防止することが関わてきる。

この発明は、ソース・ドレイン形成後にシリサイド化反応により所定譲軍(例えば、200~300人)

インの接合深さが0.15~0.2m回度になる丸に、 シリサイド化を行うことにより接合層のリーク電 液が問題となる。

一方後者の方法では、選択成長法の問題点として、SIO。/Si界面にエンクローチメント29が入る[第2図参照] 可称性が大きく、接合リークが出じる。さらに、離間絶縁環境侵役に900~1000で程度な無処理を行い、平坦化を行う必要があるが、この時収度28のシリサイド化反応が生じ特性が不安定になる。

以上のことより、従来技術では、自己整合的に ゲート部、ソース・ドレイン部の低低抗化を行う ことが困難になる。

(二)課題を解決するための手段

この発明は、ソース・ドレイン邸および酸化シリコン膜を介してポリシリコンからなるゲート部が配设されたシリコン基板上に高融点金属のコパルト(Co)を機磨し、熱処理によりソース・ドレイン邸およびゲート邸をシリサイド化してソース・ドレイン邸の接合深さよりも実質的に小さな環草

の CoSia暦を形成し、その上から選択成長によりWを堆積するようにしたものである。

この発明において、ソース・ドレイン部の接合 交さよりも実質的に小さな環厚を有するコパルト のシリサイド膜を形成するとは、例えば、ソース・ ドレイン部の接合深さが0.15~0.2μm程度では、 シリサイド化しても接合圏にリーク電流が発生し ないように設定された200~300人のCoSi。限を 形成することを意味する。

(ホ)作用

ゲート部およびソース・ドレイン部の形成後にこれら各部をシリサイド化して所定膜壁のCoSia膜を形成し、しかも上記各部上にCoSia膜を介してWを地積するようにしたことから、CoSia膜がソース・ドレイン部の複合深さより小さいためにSi基板への食い込み最を減少できるとともに、CoSiaによりWの選択成長後、Si基板の界面にエン・ローチメントが入るのを防止でき、これにより複合層にリーク電流が発生するおそれがなくなる。

また、W V R成長した後、熟地理をおこなっても CoS in層がパリア層としてWのシリサイド 化を防止するように関くことから、熱的に安定な低低抗ゲート部およびソース・ドレイン部を作成できる。

(へ)実施例

以下図に示す実施例にもとづいてこの発明をは 述する。なお、これによってこの発明は限定を受 けるものではない。

第1図において、本方法によって作成された
MOS型デバイスは、第1図(c)に示すように、
配換部が上から順次にW裏T/CoSis類6の二
用環道を育する全国/全国シリサイド/シリコン
の三層環道から主としてなる。

以下、製造方法について説明する。

まず、Si基板1上にSiOa機2を介してローPoly Siからなるゲート部3を形成するとともに、Si基板1上にAs を注入してローのソース・ドレイン部4を形成する[第1図(a)参照]。次に、基板1上にCoを増積し、熱処理によりゲート電

処理をおこなってもWのシリサイド化反応が生じるおそれはなく、特性が不安定になるのを防止できる。

このように、Coのシリサイド化によりサリサイド構造のトランジスターを作成し、さらにソース・ドレイン部、ゲート部に選択成長によりWを推賛し、無的に安定な低低抗ゲート、ソース・ドレインを作成できる。

(ト)発明の効果

この発明によれば、ゲート邸およびソース・ドレイン邸の形成後にこれら各邸をシリサイド化して所定職軍のCoSia膜を形成し、しかも上記各邸上にCoSia膜を介してWを垃赁するようにしたことから、CoSia膜がソース・ドレイン邸の接合深さより小さいためにSi基版への食い込み型を減少できるとともにCoSia膜によりW膜の温沢成長後、Si基板の界面にエンクローチメントが入るのを防止でき、これにより接合層にリーク電流が発失するおそれがなくなる。

また、VI真を選択成長した後、熱処理をおこな

さらに、CoSi。以6上に、選択成長法により Wを地積し、1000~2000人の模単を有するW限7 を形成する。

最後に、層間絶縁模を堆積した後に、これを 900~1000℃程度の熱処理をおこなって平坦化する。この際、CoSiaにおいてはCoが主な拡散性 であり、Siは拡散しにくく、かつWはCoよりシ リサイド化しにくい金属であることから、W膜7 はCoSia膜6の直上に配設されており、上記為

ってもCoSis層がパリア層としてW裏のシリサイド化を防止するように動くことから、熱的に安定な低低抗ゲート部およびソース・ドレイン部を作成できる効果がある。

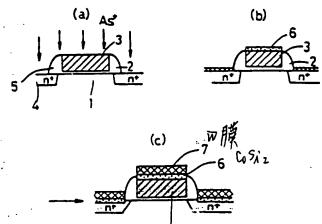
4. 図面の簡単な説明

第1図はこの発明の一実施例を説明するための 製造工程説明図、第2図は従来例を示す要部構成 説明図、第3図および第4図はそれぞれ従来例を 説明するための製造工程説明図である。

1 …… S i 基板、 2 …… 酸化シリコン膜、
 3 …… ゲート電腦、4 …… ソース・ドレイン部、
 5 …… サイドウォール部分、
 6 …… CoS i a 膜、 7 …… W 模。

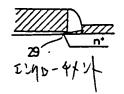
代理人 弁理士 野河 信太郎(A)(15-15)



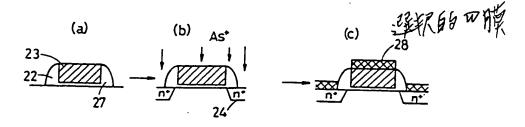


第 2 双

5'n.



अ 3 ⊠



新 4- □

